

[print](#) | [export](#)**Publication number:** JP1112592 C3**Publication country:** JAPAN**Publication type:** GRANTED PATENT**Publication date:** 19820916**Application number:** JP19790045640**Application date:** 19790413**Priority:** JP19790045640 19790413 ;**International class<sup>8</sup>:** H04R7/00 20060101 I C ; H04R7/02 20060101 I A ; C01B35/00 20060101 I C ; C01B35/02 20060101 I A ; C23C14/06 20060101 I C ; C23C14/06 20060101 I A ; C23C16/00 20060101 I C ; C23C16/01 20060101 I A ; C23C16/22 20060101 I C ; C23C16/22 20060101 I A ; G11B3/00 20060101 I C ; G11B3/50 20060101 I A ;**European class:** C23C16/01 ;**Cited by:** JP2744854 B2 ; US5495444 A ;

## ⑫ 公開特許公報 (A)

平1-112592

⑤Int.Cl.<sup>4</sup>  
G 11 C 11/34識別記号  
371庁内整理番号  
H-8522-5B

⑩公開 平成1年(1989)5月1日

審査請求 未請求 発明の数 1 (全4頁)

## ④発明の名称 半導体記憶装置

②特 願 昭62-269655

②出 願 昭62(1987)10月26日

⑦発明者	白ヶ澤 強	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑦発明者	赤松 寛範	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑦発明者	松嶋 順子	大阪府門真市大字門真1006番地	松下電器産業株式会社内
①出願人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
④代理人	弁理士 中尾 敏男	外1名	

## 明細書

## 1、発明の名称

半導体記憶装置

## 2、特許請求の範囲

(1) 第1のメモリセルアレイのワード線を選択的に駆動する第1のロウデコーダーと、第2のメモリセルアレイのワード線を選択的に駆動する第2のロウデコーダーと、入力端子より順次入力される入力データーを処理単位ずつ一時的に保持し、前記第1、第2のセルアレイに転送ゲートを介して接続される入力データーレジスターと、前記第1、第2のメモリセルアレイの読み出しデーターを処理単位ずつ一時的に保持する出力データーレジスターと、前記第1のロウデコーダーに対するアドレスデーターを保持するベースアドレスレジスターと、記前第2のロウデコーダーに対し前記ベースアドレスレジスターのデーターに対して加減算処理した結果を出力するアドレス演算回路とを備えてなる半導体記憶装置。

〔参考〕 外部のアドレス端子に印加したアドレス信号

をベースレジスターに格納する特許請求の範囲第1項に記載の半導体記憶装置。

(3) 内部に設けたアドレスカウンター回路のカウンター出力をベースレジスターに格納する特許請求の範囲第1項に記載の半導体記憶装置。

(4) アドレス演算回路はベースレジスターの内容と、外部端子から直接入力されるデーターとの間で加減算処理する特許請求の範囲第1項に記載の半導体記憶装置。

(5) アドレス演算回路はベースレジスターの内容と、内部に設けられた相対アドレスレジスターに格納されたデーターとの間で加減算処理する特許請求の範囲第1項に記載の半導体記憶装置。

## 3、発明の詳細な説明

## 産業上の利用分野

本発明は半導体記憶装置に関し、特に高速のデーター入出力機能が必要とされる分野に適合する半導体記憶装置に関する。

## 従来の技術

従来、グラフィックディスプレイ用フレームバ

ップア、あるいはVTR、テレビ等の映像用フレームバッファメモリとして高速データー入出力機能を有するメモリが実用化されている。これら、高速データー入出力機能を有するメモリの一般的構成を第2図を用いて説明する。

第2図は従来例メモリの内部構成の一部を示す。第2図に於いて入力データー線1に連続的にシリアル入力されるデーターはシフトレジスター回路2により順次選択されるデーターセレクタースイッチ3を介してデーターレジスター4に順次格納される。本従来例ではピット線対の数は910であり、データーレジスター4の数も910ヶに合わせてある。入力データー線1に910個のシリアルデーターが入力された時点で、前記910個のデーターレジスターは入力データーで満たされる。この段階で転送制御線5をハイレベルにすることにより、全ての転送ゲートがONとなりデーターレジスターに格納された910個の入力データーはそれぞれ書き込みアンプアで増幅されたのちに対応するピット線対に転送される。ここでメ

考えられるが、例えば1本のワード線に対応して記憶された。分類Aに属するデーターと分類Bに属するデーターからなる1つのシリアルデーターに対し、分類Aに属するデーターはワード線WL<sub>1</sub>から、分類Bに属するデーターはワード線WL<sub>2</sub>から合成された1つのシリアルデーターとして出力したい場合がある。又、前記データーの分類がA、Bの2種のみでなく3種類、4種類に増え、それを異なるワード線から合成して出力したい場合もある。

#### 問題点を解決するための手段

本発明は以上の問題点について鑑みなされたものであり、複数のメモリセルアレイと、それぞれのセルアレイに対して設けられたロウデコーダーと、それぞれのロウデコーダーに対して設けられたアドレス生成部とを有し、それぞれのアドレス生成部は他のアドレス生成部によって生成されたデーターに対して演算処理した結果を対応するロウデコーダーに対して出力する様にするものである。

モリセルアレイ10に於いては複数のワード線8のうちの1本がハイレベルとなり、これにより選択された910個のメモリセルに対してピット線上のデーターが書き込まれる。

以上のように第2図の例では高速にシリアル入力される入力データーを入力される順序に従って対応するデーターレジスター4に一塩格納したのち、選択ワード線上のメモリセルに同時に書き込むことにより高速の書き込み動作を実現している。

#### 発明が解決しようとする問題点

以上の従来の半導体記憶装置に於いては次の様な問題点がある。即ち一つのシリアルデーター(本例では960個のデーター列)は1本のワード線に対応して記憶されているため、一塩記憶されたシリアルデーターの1部を読み出す場合には対応するワード線を選択して読み出す必要がある。従って異なるワード線の情報を一つのシリアルデーターとして出力することではできない。このような異なるワード線上のデーターを合成して、一つのシリアルデーターとして出力する用途は種々

#### 作用

上記手段により、セルアレイ相互で異なるロウアドレスが設定可能となり、更に他のセルアレイのロウアドレステーナーを参照しながら他のセルアレイのロウアドレスを決定することが可能となる。

#### 実施例

本発明半導体記憶装置の実施例を第1図を用いて説明する。第1図は本発明半導体記憶装置の実施例の構成図を示す。

第1図に於いて2つのメモリセルアレイ20、30はそれぞれ独立したロウデコーダー21、31を設えている。第1のロウデコーダー21にはベースアドレスレジスター22の出力が接続され、第2のロウデコーダー31にはアドレス演算回路32の出力が接続されている。ここでアドレス演算回路32は加減算回路で構成され、ベースレジスター22に格況されたアドレスデーターに相対アドレスレジスター33に格納されたデーターを加算、あるいはベースレジスター22のアドレス

データーから相対アドレスレジスターの内容を演算した結果を前記第2のロウデコーダーに出力する。尚、このとき演算データーを外部端子から直接、アドレス演算回路32に与えても良い。

前記ベースアドレスレジスター22へのアドレスデーターの書き込みは、外部のアドレス群Aから直接書き込んでも良いがアドレスデーターが単調増加する場合は内部に設けたアドレスカウンタ一回路23のカウント出力を書き込みデーターとして用いても良い。以上の構成により、メモリセルアレイ20に与えるロウアドレスを基準にしてメモリセルアレイ30に与えるロウアドレスを任意のアドレスだけずらして指定することが可能となる。

データ入力端子1に連続的に入力されるデーターはデーター入力バッファ回路24を介して入力データーレジスター25に順次格納され、所定のデーター数が入力された後、データー転送制御信号Tを制御してデーター転送ゲート群26中の転送ゲート全てをONすることにより、メモリセル

本発明の半導体記憶装置は、分割したセルアレイに設けた独立したロウデコーダにより1つのシリアルデーターを分割して同一時刻に異なるワード線上のメモリセルに書き込むことが可能となる。又異なるワード線を同一時刻に選択して1つのシリアルデーターに合成して出力することが可能となる。

#### 4、図面の簡単な説明

第1図は本発明半導体記憶装置の一実施例の構成図、第2図は従来の半導体記憶装置の構成図である。

20, 30……メモリセルアレイ、21, 31……ロウデコーダー、25……入力データーレジスター、26……転送ゲート群、27……読み出し転送ゲート、28……出力データーレジスター、22……ベースレジスター、23……アドレスカウンター、32……アドレス演算回路、33……相対アドレスレジスター。

代理人の氏名 弁理士 中尾敏男ほか1名

アレイ20, 30のそれぞれのロウデコーダーで選択されたワード線上のメモリセルにデーター転送される。このとき、メモリセルアレイ20と30では必要に応じて異なるアドレスワード線が選択される。

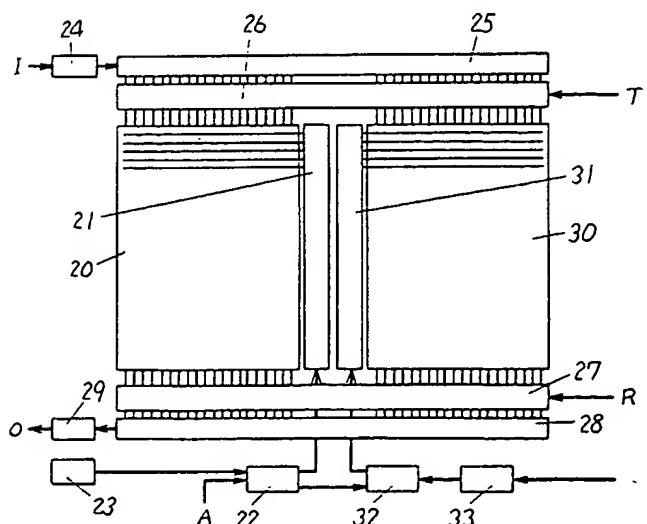
データー読み出しに於いてはロウデコーダー21, 31で選択された各ワード線上のメモリセルの記憶データーがピット線対に読み出され、読み出し用データー転送制御信号Rを制御して読み出し転送ゲート群27中の全ての転送ゲートをONすることにより出力データーレジスター28に転送、保持される。出力データーレジスターに格納された読み出しデーターは順次出力バッファ回路29を介して外部に出力される。このときメモリセルアレイ20と30では必要に応じて異なるワード線が選択される。

以上の実施例説明の中で特に明記しなかったが、メモリセルアレイ中の記憶セルはスタティック型でもダイナミック型でもよい。

#### 発明の効果

20	…メモリセルアレイ
21	—ロウデコーダー
22	…ベースレジスター
23	…アドレスカウンター
25	…入力データーレジスター
26	…転送ゲート群
27	…読み出し転送ゲート群
28	…出力データーレジスター
29	…出力バッファ回路
30	…メモリセルアレイ
31	…ロウデコーダー
32	…アドレス演算回路
33	…相対アドレスレジスター

第1図



第 2 図

